

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-231825

(43)Date of publication of application : 26.12.1984

(51)Int.Cl.

H01L 21/58

(21)Application number : 58-106168

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 14.06.1983

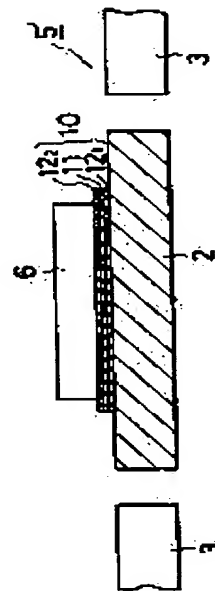
(72)Inventor : ONO TAKASHI  
KUDO MASAHIDE

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To enable to attain enhancement of reliability and reduction of cost of a semiconductor device by a method wherein a semiconductor element is fixed to the head of a lead frame according to die bonding interposing a heat softening tape between them.

**CONSTITUTION:** A semiconductor device is constructed in structure bonded with an IC chip 6 to the head 2 of a lead frame 5' interposing a heat softening tape 10 between them. The tape 10 thereof is constructed in three layer structure interposing a polyimide film 11 between polyethylene fluoride films 121, 122 of two sheets, for example. The tape 10 constructed in such a way has high viscosity at the upper limit temperature of the degree of 250° C at the assembling process not to be softened, softened in the neighborhood of 400° C to reduce viscosity, and presents adhesion. According to this construction, gold plating treatment aiming to adhere to the main surface of the frame 5' can be omitted, and the chip 6 can be fixed according to die bonding with favorable reliability on the head 2 without performing heat curing treatment.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]

of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## SEMICONDUCTOR DEVICE

Patent Number: JP59231825  
 Publication date: 1984-12-26  
 Inventor(s): ONO TAKASHI; others: 01  
 Applicant(s): TOSHIBA KK  
 Requested Patent: ☒ JP59231825  
 Application Number: JP19830106168 19830614  
 Priority Number(s):  
 IPC Classification: H01L21/58  
 EC Classification:  
 Equivalents:


### Abstract

**PURPOSE:** To enable to attain enhancement of reliability and reduction of cost of a semiconductor device by a method wherein a semiconductor element is fixed to the head of a lead frame according to die bonding interposing a heat softening tape between them.

**CONSTITUTION:** A semiconductor device is constructed in structure bonded with an IC chip 6 to the head 2 of a lead frame 5' interposing a heat softening tape 10 between them. The tape 10 thereof is constructed in three layer structure interposing a polyimide film 11 between polyethylene fluoride films 121, 122 of two sheets, for example. The tape 10 constructed in such a way has high viscosity at the upper limit temperature of the degree of 250 deg.C at the assembling process not to be softened, softened in the neighborhood of 400 deg.C to reduce viscosity, and presents adhesion. According to this construction, gold plating treatment aiming to adhere to the main surface of the frame 5' can be omitted, and the chip 6 can be fixed according to die bonding with favorable reliability on the head 2 without performing heat curing treatment.

Data supplied from the esp@cenet database - 12

## SEMICONDUCTOR DEVICE

Patent Number: JP59231825  
Publication date: 1984-12-26  
Inventor(s): ONO TAKASHI; others: 01  
Applicant(s): TOSHIBA KK  
Requested Patent:  JP59231825  
Application Number: JP19830106168 19830614  
Priority Number(s):  
IPC Classification: H01L21/58  
EC Classification:  
Equivalents:

---

### Abstract

---

**PURPOSE:**To enable to attain enhancement of reliability and reduction of cost of a semiconductor device by a method wherein a semiconductor element is fixed to the head of a lead frame according to die bonding interposing a heat softening tape between them.

**CONSTITUTION:**A semiconductor device is constructed in structure bonded with an IC chip 6 to the head 2 of a lead frame 5' interposing a heat softening tape 10 between them. The tape 10 thereof is constructed in three layer structure interposing a polyimide film 11 between polyethylene fluoride films 121, 122 of two sheets, for example. The tape 10 constructed in such a way has high viscosity at the upper limit temperature of the degree of 250 deg.C at the assembling process not to be softened, softened in the neighborhood of 400 deg.C to reduce viscosity, and presents adhesion. According to this construction, gold plating treatment aiming to adhere to the main surface of the frame 5' can be omitted, and the chip 6 can be fixed according to die bonding with favorable reliability on the head 2 without performing heat curing treatment.

---

Data supplied from the esp@cenet database - I2

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭59-231825

⑮ Int. Cl.<sup>3</sup>  
H 01 L 21/58

識別記号

庁内整理番号  
6679-5F

⑬ 公開 昭和59年(1984)12月26日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑭ 半導体装置

⑮ 特 願 昭58-106168

⑯ 出 願 昭58(1983)6月14日

⑰ 発 明 者 小野貴士  
大分市大字松岡3500番地東京芝  
浦電気株式会社大分工場内

⑱ 発 明 者 工藤真秀

大分市大字松岡3500番地東京芝  
浦電気株式会社大分工場内

⑲ 出 願 人 株式会社東芝  
川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 鈴江武彦 外 2 名

明 細 書

1. 発明の名称

半 導 体 装 置

2. 特許請求の範囲

リードフレームのベッドに半導体素子を熱軟  
化性テープを介してダイボンディングしたこと  
を特徴とする半導体装置。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は半導体装置に関し、特にリードフレ  
ームと半導体素子とのダイボンディング構造を  
改良した半導体装置に係る。

〔発明の技術的背景とその問題点〕

従来の半導体装置としては、第1図(A)、(B)に  
示す如く枠体(図示せず)にブリッジ1を介し  
て支持されたベッド2と、このベッド2の周辺  
に一端が近接して配設された複数のリード3…  
とからなり、これらベッド2等の主面に金メツ  
キ層4を被覆したリードフレーム5を用い、こ  
のリードフレーム5のベッド2に半導体素子(例

えばICチップ)6をA-81共晶層7によ  
りダイボンディングした構造のものが知られて  
いる。また、第2図に示す如く、リードフレ  
ーム5のベッド2上にICチップ6を半田ロー8  
を介してダイボンディングした構造の半導体装  
置も知られている。

一方、最近、組立工程のインライン化等を目  
的として第3図に示す如く金メッキ層の被覆の  
ないリードフレーム5'のベッド2上に、ICチ  
ップ6をエポキシ樹脂と銀微粉末からなる導電  
性接着剤9を介してダイボンディングした構  
造の半導体装置が開発されている。しかしなが  
ら、かかる構造の半導体装置にあつては導電性  
接着剤がペースト状で取扱いが不便であること、  
熱硬化性であるためにダイボンディングの時間  
が長くなること等の工程合理化を進める上で支  
障があつた。

〔発明の目的〕

本発明は信頼性向上、コストダウンを実現し  
た半導体装置を提供しようとするものである。

## 〔発明の概要〕

本発明はリードフレームのベッドに半導体素子を熱軟化性テープを介してダイボンディングすることによつて、記述した効果を有する半導体装置を得ることができる。

## 〔発明の実施例〕

以下、本発明の実施例を第4図を参照して説明する。なお、第1図(A)、(B)と同様な部材は同符号を付して説明を省略する。

本発明の半導体装置は第4図に示す如くリードフレーム5'のベッド2にICチップ6を厚さ20〜30μmの熱軟化性テープ10を介してダイボンディングした構造になつている。この熱軟化性テープ10は例えばポリイミドフィルム11を2枚のポリフッ化エチレンフィルム12、12'で挟んだ3層構造となつている。こうした熱軟化性テープ10は第5図に示す如く組立工程での上限温度(250℃程度)では軟化せずに高い粘度を有し、400℃近辺で軟化して粘度が低くなり粘着性を示すものである。

フィルム11を2枚のポリフッ化エチレンフィルム12、12'で挟んだ3層構造のものを用いければ、不純物(Cd等)が少なく、耐湿信頼性の高い半導体装置を得ることができる。

なお、上記実施例ではポリフッ化エチレンフィルムをベースとした三層構造の熱軟化性テープを用いたが、他の熱可塑性樹脂からなる熱軟化性テープを用いてもよい。

## 〔発明の効果〕

以上詳述した如く、本発明によれば半導体素子をリードフレームのベッド上に高信頼性でダイボンディングされ、しかもダイボンディングの自動化を容易に達成し得る半導体装置を提供できる。

## 4. 図面の簡単な説明

第1図(A)は従来のAu-Si共晶法によりICチップがダイボンディングされた半導体装置の装部平面図、同図(B)は同図(A)のB-B線に沿う断面図、第2図は従来の半田ロー法によりICチップがダイボンディングされた半導体装置の

なお、ICチップのダイボンディングにあたつては予めリードフレームのベッド上に熱軟化性テープを載置し、400℃前後の熱を加えて接着し、一旦冷却した後、改めて400℃前後に加熱してベッド上の熱軟化性テープを軟化させた状態でICチップをダイボンディングする。

しかして、本発明によればダイボンディング用の接着材として熱軟化テープ10を用いるため、リードフレーム5'の主面への接着を目的とした金メッキ処理を省略できると共に、従来のAu-Si共晶法や半田ロー法と同様、加熱キユを施さずにリードフレーム5'のベッド2上にICチップ6を信頼性よくダイボンディングできる。また、定型の熱軟化性テープをリードフレームのベッド上に接着した状態でダイボンディング工程へ移行できるため、自動化が容易となると共に、接着後の熱軟化性テープはほぼ定型状態に保持でき、ダイボンディングの信頼性を確保できる。

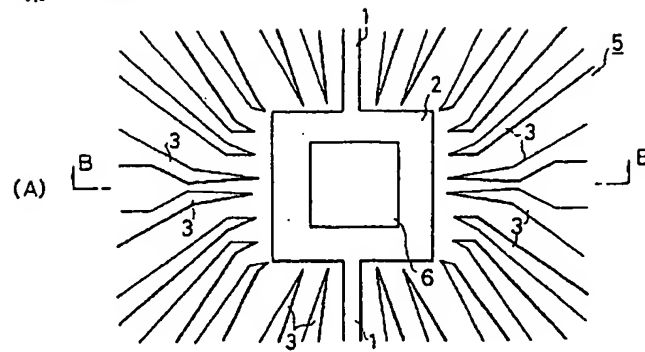
更に、熱軟化性テープ10としてポリイミド

装部断面図、第3図は従来の導電性接着剤によりICチップがダイボンディングされた半導体装置の装部断面図、第4図は本発明の一実施例を示す半導体装置の装部断面図、第5図は本発明に用いられる熱軟化性テープの加熱温度に対する粘度変化を示す特性図である。

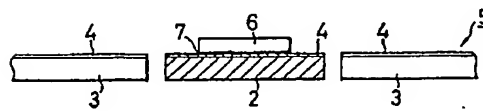
2…ベッド、3…リード、5'…リードフレーム、6…ICチップ、10…熱軟化性テープ、11…ポリイミドフィルム、12、12'…ポリフッ化エチレンフィルム。

出願人代理人 弁理士 鈴 江 武 彦

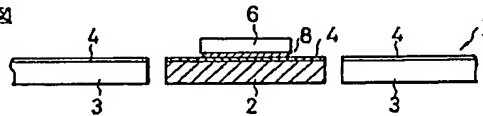
第 1 図



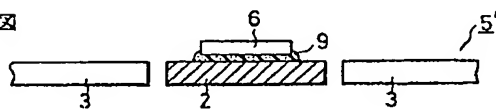
(B)



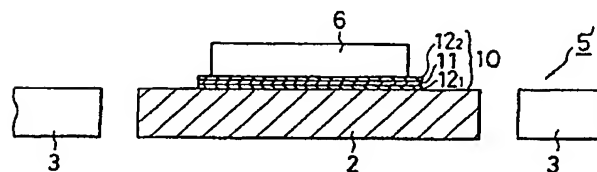
第 2 図



第 3 図



第 4 図



第 5 図

